

PATENT
81754.0102
Express Mail Label No. EV 324 111 137 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Motoaki NISHIMURA

Serial No: Not Assigned

Filed: November 21, 2003

For: POWER SOURCE CIRCUIT

Art Unit: Not Assigned

Examiner: Not Assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

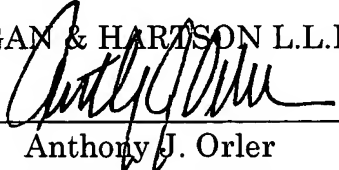
Enclosed herewith is a certified copy of Japanese patent application No. 2002-340884, which was filed November 25, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: November 21, 2003

By: 
Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月25日
Date of Application:

出願番号 特願2002-340884
Application Number:

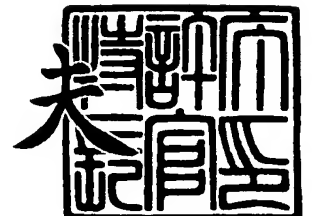
[ST. 10/C]: [JP 2002-340884]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年 7月28日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3059880

【書類名】 特許願

【整理番号】 J0093171

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/07
G02F 1/133 520

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 西村 元章

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源回路

【特許請求の範囲】

【請求項 1】 高電位側の電源電圧と低電位側の電位との間に設けられ、複数のスイッチングトランジスタと複数のコンデンサとで構成されるチャージポンプ方式の昇圧回路と、

前記昇圧回路を制御する制御手段と、

を備えた電源回路であって、

前記電源回路は前記高電位側の電源電圧を含む所定数の電源電圧をさらに備え、前記昇圧回路の一部への入力電圧として前記所定数の電源電圧の中から 1 つを選択的に切り換えて入力し、

前記制御手段は前記複数のスイッチングトランジスタのうちの前記所定数の電源電圧を入力する複数のトランジスタのうち 1 つのトランジスタを除いた他のトランジスタをオフ状態に固定し、該オフ状態に固定された以外の全てのトランジスタを所定の周波数でかつ互いに所定の位相関係でスイッチングして前記昇圧回路に昇圧動作を行わせる制御を行うことで、

前記所定数の電源電圧の入力切換えを行い、前記昇圧回路から所定数の出力電圧を選択的に出力することを特徴とする電源回路。

【請求項 2】 高電位側の第 1 の電源電圧と低電位側の電位との間に設けられ、複数のスイッチングトランジスタと複数のコンデンサとで構成されるチャージポンプ方式の昇圧回路であって、該昇圧回路の一部への入力電圧として高電位側の第 1、第 2 の電源電圧を切り換えて入力し、出力電圧として前記第 1 の電源電圧、又は第 1 の電源電圧と第 2 の電源電圧に基づいて昇圧された第 1 の出力電圧又は第 2 の出力電圧を出力する昇圧回路と、

前記昇圧回路における複数のスイッチングトランジスタのうちの前記第 1 の電源電圧又は第 2 の電源電圧を入力する一方のトランジスタをオフ状態に固定し、その他のスイッチングトランジスタを所定の周波数でスイッチングして前記昇圧回路に昇圧動作を行わせる制御を行うことで、前記昇圧回路の一部への前記第 1 の電源電圧又は第 2 の電源電圧の入力切換えを行って前記昇圧回路から前記第 1

の出力電圧又は第2の出力電圧を出力させる制御手段と、
を具備したことを特徴とする電源回路。

【請求項3】 前記昇圧回路は、複数の昇圧段数を有する多段昇圧回路で構成され、該多段昇圧回路の出力端子と、該多段昇圧回路の少なくとも最終段を構成するコンデンサの出力端側の端子とをショートし、該コンデンサを取り去ることによって、昇圧段数を減じることを特徴とする請求項1又は2に記載の電源回路。

【請求項4】 前記昇圧回路は、複数の昇圧段数を有する多段昇圧回路で構成され、該多段昇圧回路の最終段を除いた少なくとも1つの段におけるコンデンサの出力端にトランジスタを介して出力用コンデンサを接続し、該出力用コンデンサからその段の電位を安定電位として取り出すことを特徴とする請求項1又は2に記載の電源回路。

【請求項5】 高電位側の電源電圧と低電位側の電位との間に設けられ、複数の昇圧段数を有する多段昇圧回路で構成され、前記高電位側の電源電圧に基づいて多段昇圧された出力電圧を生成する電源回路であって、

複数のスイッチングトランジスタと複数のコンデンサとで構成されるチャージポンプ方式の昇圧回路と、

前記昇圧回路の前記複数のスイッチングトランジスタを所定の周波数でかつ互いに所定の位相関係でスイッチングして前記昇圧回路に昇圧動作を行わせる制御手段と、を具備し、

前記昇圧回路の出力端子と、前記昇圧回路の少なくとも最終段を構成するコンデンサの出力端側の端子とをショートし、該コンデンサを取り去ることによって、昇圧段数を減じることを特徴とする電源回路。

【請求項6】 高電位側の電源電圧と低電位側の電位との間に設けられ、複数の昇圧段数を有する多段昇圧回路で構成され、前記高電位側の電源電圧に基づいて多段昇圧された出力電圧を生成する電源回路であって、

複数のスイッチングトランジスタと複数のコンデンサとで構成されるチャージポンプ方式の昇圧回路と、

前記昇圧回路の前記複数のスイッチングトランジスタを所定の周波数でかつ互

いに所定の位相関係でスイッチングして前記昇圧回路に昇圧動作を行わせる制御手段と、を具備し、

前記昇圧回路の最終段を除いた少なくとも 1 つの段におけるコンデンサの出力端にトランジスタを介して出力用コンデンサを接続し、該出力用コンデンサからその段の電位を安定電位として取り出すことを特徴とする電源回路。

【請求項 7】 高電位側の電源電圧と低電位側の電位との間に、複数のスイッチングトランジスタと複数のコンデンサとを用いて構成されるチャージポンプ方式の昇圧回路と、

前記複数のスイッチングトランジスタを所定の周波数でかつ互いに所定の位相関係でスイッチングして前記昇圧回路に昇圧動作を行わせる制御を行うことにより前記昇圧回路から昇圧された第 1 の出力電圧を出力させ、前記複数のスイッチングトランジスタの一部のトランジスタをオン状態に固定し残りのトランジスタをオフ状態に固定する制御を行うことにより前記昇圧回路から前記高電位側の電源電圧と等しい第 2 の出力電圧を出力させる制御手段と、

を具備したことを特徴とする電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電源回路に関し、特に、昇圧回路を用いた電源回路で、スイッチ回路を用いることなく昇圧回路への入力電圧を切り換えるようにした電源回路に関する。

【0002】

【従来の技術】

一般的に、液晶表示装置の駆動装置においては、液晶駆動用の高圧電源が必要であり、この高圧電源を DC-DC 変換方式の昇圧回路によって作成することが多い。

【0003】

このような液晶駆動用ドライバにおける電源回路では、液晶表示装置の各種機能における負荷に応じた各種の電圧を作成するために、昇圧回路へ入力する電源

電圧として、第1の電圧V1（例えば2.6V）とこれより低い第2の電圧VC（例えば1.3V）の2種類を用意し、この2つの電圧V1、VCをスイッチ回路などを用いて切り換えていた。

【0004】

【発明が解決しようとする課題】

しかしながら、上記の液晶駆動用ドライバにおける電源回路では、前段に入力電圧切換え用のスイッチ回路を配し、その後段に昇圧回路を配置するので、スイッチ回路を構成するスイッチ用トランジスタのスイッチ抵抗による影響で、昇圧回路の出力インピーダンスが大きくなるという問題があった。

【0005】

そこで、本発明は、上記の問題に鑑みてなされたもので、昇圧回路への入力電圧の切換えをスイッチ回路を用いずに行い、昇圧回路の出力インピーダンスを極力小さくすることが可能な電源回路を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明による電源回路は、高電位側の電源電圧と低電位側の電位との間に設けられ、複数のスイッチングトランジスタと複数のコンデンサとで構成されるチャージポンプ方式の昇圧回路と、前記昇圧回路を制御する制御手段と、を備えた電源回路であって、前記電源回路は前記高電位側の電源電圧を含む所定数の電源電圧をさらに備え、前記昇圧回路の一部への入力電圧として前記所定数の電源電圧の中から1つを選択的に切り換えて入力し、前記制御手段は前記複数のスイッチングトランジスタのうちの前記所定数の電源電圧を入力する複数のトランジスタのうち1つのトランジスタを除いた他のトランジスタをオフ状態に固定し、該オフ状態に固定された以外の全てのトランジスタを所定の周波数でかつ互いに所定の位相関係でスイッチングして前記昇圧回路に昇圧動作を行わせる制御を行うことで、前記所定数の電源電圧の入力切換えを行い、前記昇圧回路から所定数の出力電圧を選択的に出力することを特徴とするものである。

【0007】

本発明のこのような構成によれば、チャージポンプ動作に関与する複数のスイ

スイッチングトランジスタのうちの前記所定数の電源電圧を入力可能とする複数のトランジスタのうちの1つのトランジスタを除いた他のトランジスタをオフ状態に固定することで、前記昇圧回路への所定数の電源電圧の入力切換えを行うことができ、入力切換え用のスイッチ回路をなくし、昇圧回路の出力インピーダンスを小さくすることができる。3つ以上の電源電圧の入力切換えを行うことも可能である。

【0008】

本発明による電源回路は、高電位側の第1の電源電圧と低電位側の電位との間に設けられ、複数のスイッチングトランジスタと複数のコンデンサとで構成されるチャージポンプ方式の昇圧回路であって、該昇圧回路の一部への入力電圧として高電位側の第1、第2の電源電圧を切り換えて入力し、出力電圧として前記第1の電源電圧、又は第1の電源電圧と第2の電源電圧に基づいて昇圧された第1の出力電圧又は第2の出力電圧を出力する昇圧回路と、前記昇圧回路における複数のスイッチングトランジスタのうちの前記第1の電源電圧又は第2の電源電圧を入力する一方のトランジスタをオフ状態に固定し、その他のスイッチングトランジスタを所定の周波数でスイッチングして前記昇圧回路に昇圧動作を行わせる制御を行うことで、前記昇圧回路の一部への前記第1の電源電圧又は第2の電源電圧の入力切換えを行って前記昇圧回路から前記第1の出力電圧又は第2の出力電圧を出力させる制御手段と、を具備したものである。

【0009】

本発明のこのような構成によれば、チャージポンプ動作に関与する複数のスイッチングトランジスタのうちの第1又は第2の電源電圧を入力する所定のトランジスタをオフ状態に固定することで、前記昇圧回路への第1又は第2の電源電圧の入力切換えを行うことができ、入力切換え用のスイッチ回路をなくし、昇圧回路の出力インピーダンスを小さくすることができる。

【0010】

また、本発明において、前記昇圧回路は、複数の昇圧段数を有する多段昇圧回路で構成され、該多段昇圧回路の出力端子と、該多段昇圧回路の少なくとも最終段を構成するコンデンサの出力端側の端子とをショートし、該コンデンサを取り

去ることによって、昇圧段数を減じることが好ましい。

【0011】

このような構成によれば、入力電圧としての複数の電源電圧からの選択と、昇圧段数の選択とが可能となり、複数レベルの出力電圧を生成することが可能となる。

【0012】

また、本発明において、前記昇圧回路は、複数の昇圧段数を有する多段昇圧回路で構成され、該多段昇圧回路の最終段を除いた少なくとも1つの段におけるコンデンサの出力端にトランジスタを介して出力用コンデンサを接続し、該出力用コンデンサからその段の電位を安定電位として取り出すことが好ましい。

【0013】

このような構成によれば、多段昇圧回路の最終段の出力電圧だけでなく途中の段の出力電圧を安定に取り出すことが可能となる。最終段を除いた途中の段の出力電位に相当する出力電圧を、専用の昇圧回路を設けることなく生成できる。

【0014】

また、本発明による電源回路は、高電位側の電源電圧と低電位側の電位との間に設けられ、複数の昇圧段数を有する多段昇圧回路で構成され、前記高電位側の電源電圧に基づいて多段昇圧された出力電圧を生成する電源回路であって、複数のスイッチングトランジスタと複数のコンデンサとで構成されるチャージポンプ方式の昇圧回路と、前記昇圧回路の前記複数のスイッチングトランジスタを所定の周波数でかつ互いに所定の位相関係でスイッチングして前記昇圧回路に昇圧動作を行わせる制御手段と、を具備し、前記昇圧回路の出力端子と、前記昇圧回路の少なくとも最終段を構成するコンデンサの出力端側の端子とをショートし、該コンデンサを取り去ることによって、昇圧段数を減じることの特徴とするものである。

【0015】

本発明のこのような構成によれば、多段昇圧回路において、最大の昇圧段数に設計しておき、実際の使用条件に合わせて昇圧段数を減じることによって、出力電圧のレベルを任意に選択することができる。

【0016】

さらに、本発明による電源回路は、高電位側の電源電圧と低電位側の電位との間に設けられ、複数の昇圧段数を有する多段昇圧回路で構成され、前記高電位側の電源電圧に基づいて多段昇圧された出力電圧を生成する電源回路であって、複数のスイッチングトランジスタと複数のコンデンサとで構成されるチャージポンプ方式の昇圧回路と、前記昇圧回路の前記複数のスイッチングトランジスタを所定の周波数でかつ互いに所定の位相関係でスイッチングして前記昇圧回路に昇圧動作を行わせる制御手段と、を具備し、前記昇圧回路の最終段を除いた少なくとも1つの段におけるコンデンサの出力端にトランジスタを介して出力用コンデンサを接続し、該出力用コンデンサからその段の電位を安定電位として取り出すことを特徴とするものである。

【0017】

本発明のこのような構成によれば、多段昇圧回路の最終段の出力電圧だけでなく途中の段の出力電圧を安定に取り出すことが可能となる。最終段を除いた途中の段の出力電位に相当する出力電圧を、専用の昇圧回路を設けることなく生成することができる。

【0018】

さらに、本発明による電源回路は、高電位側の電源電圧と低電位側の電位との間に、複数のスイッチングトランジスタと複数のコンデンサとを用いて構成されるチャージポンプ方式の昇圧回路と、前記複数のスイッチングトランジスタを所定の周波数でかつ互いに所定の位相関係でスイッチングして前記昇圧回路に昇圧動作を行わせる制御を行うことにより前記昇圧回路から昇圧された第1の出力電圧を出力させ、前記複数のスイッチングトランジスタの一部のトランジスタをオン状態に固定し残りのトランジスタをオフ状態に固定する制御を行うことにより前記昇圧回路から前記高電位側の電源電圧と等しい第2の出力電圧を出力させる制御手段と、を具備したものである。

【0019】

本発明のこのような構成によれば、高電位側の電源電圧を昇圧して本来必要な第1の出力電圧を出力させることができると共に、前記高電位側の電源電圧と等

しい第2の出力電圧を出力させることが可能となる。この電源回路を、液晶ドライバで原理駆動を行う場合のセグメント電圧生成回路に使用すれば、コモン電圧として使用可能な電源電圧に基づいて、セグメント電圧として必要な第1の出力電圧を生成できる一方、セグメント電圧をコモン電圧として使用可能な電源電圧(=第2の出力電圧)と等しくでき、液晶のセグメント電圧とコモン電圧を同等として画面表示オフ時の所謂無バイアス状態を作成することが可能となる。

【0020】

【発明の実施の形態】

発明の実施の形態について図面を参照して説明する。

本実施の形態では、液晶駆動用ドライバ等に用いられる昇圧回路について説明する。以下に述べる全ての実施の形態について同様である。

図1は本発明の第1の実施の形態の電源回路を示す回路図である。

この第1の実施の形態では、負方向2段昇圧回路を例として説明する。

【0021】

図1に示す昇圧回路は、高電位側の電源電圧V1と低電位側の電位VSSとの間に設けられており、(図では8つ)のスイッチングトランジスタQP1~QP3, QN1~QN5と複数(図では3つ)のコンデンサC1, C2, C0とで構成されるチャージポンプ方式の昇圧回路であって、該昇圧回路の一部への入力電圧として前記高電位側の電源電圧V1を含む所定数(図では2つ)の電源電圧V1, VCを用意しこれら所定数の電源電圧V1, VCの中から1つを選択的に切り換えて入力し、前記高電位側の電源電圧V1と、前記選択的に切換え入力した1つの電源電圧V1又はVCとに基づいて、出力電圧VOUTとして、昇圧された所定数(図では2つ)の出力電圧 $-2V1$ 又は $-V1-VC$ を選択的に出力することが可能となっている。

【0022】

そして、図示しない制御手段は、前記昇圧回路における複数のスイッチングトランジスタQP1~QP3, QN1~QN5のうちの前記所定数の電源電圧V1, VCを入力可能とする複数のトランジスタQP2, QP1のうち1つのトランジスタ(QP2又はQP1例えばQP2)を除いた他のトランジスタ(例えばQP1)をオフ状態に固定

し、該オフ状態に固定された以外の全てのトランジスタ（例えばQP1以外のトランジスタQP2, QP3, QN1～QN5）を所定の周波数でかつ互いに所定の位相関係でスイッチングして前記昇圧回路に昇圧動作を行わせる制御を行うことで、前記昇圧回路の一部への入力用として用意された前記所定数の電源電圧V1, VCの入力切換えを行って前記昇圧回路から所定数の出力電圧 $-2V1$ 又は $-V1-VC$ を選択的に出力可能とさせる。

【0023】

即ち、入力電圧として高電位側の第1の電源電圧V1（例えば2.6V）または第2の電源電圧VC（例えば1.3V）を切り換えて入力し、出力電圧として前記第1の電源電圧V1に基づいて昇圧された第1の出力電圧VOUT（例えば $-5.2V$ ）を生成して出力することが可能である一方、前記第1の電源電圧V1及び第2の電源電圧VCに基づいて昇圧された第2の出力電圧VOUT（例えば $-3.9V$ ）を生成して出力することが可能である。

【0024】

なお、この第1の実施の形態では、2つ入力電圧V1, VCを用意しこれらを切換え可能としているが、3つ以上の入力電圧を用意しこれらを切り換える構成とすることも可能である。3つ以上の入力電圧を用意してこれらを切り換える場合には、これら3つ以上の入力電圧を入力する複数のスイッチングトランジスタを用意し、入力用兼スイッチング動作用に決めた1つのトランジスタを除いた他のトランジスタをオフ状態に固定し、該オフ状態に固定された以外の昇圧回路における全てのスイッチングトランジスタを所定の周波数でかつ互いに所定の位相関係でスイッチングして昇圧動作を行わせる制御を行うことが必要となる。

【0025】

図1の構成について詳細に説明する。

図1の昇圧回路において、高電位側の第1の電源電圧V1と低電位側の電位VSSとの間には、PチャネルトランジスタQP2とNチャネルトランジスタQN1とが直列に接続されており、これと並行して、PチャネルトランジスタQP3とNチャネルトランジスタQN2とが直列に接続されている。PチャネルトランジスタQP2は、第1の電源電圧V1を入力可能とするトランジスタである。Pチャネルトラ

ンジスタ QP3には常に、第1の電源電圧 V1が供給されている。

【0026】

また、Pチャネルトランジスタ QP2と並列的にPチャネルトランジスタ QP1が接続されている。このPチャネルトランジスタ QP1は、第2の電源電圧 VCを入力可能とするトランジスタである。

【0027】

Pチャネルトランジスタ QP2は、そのソースとサブストレート（基板）とが共通に接続され、ソースに第1の電源電圧 V1（例えば2.6V）が入力され、ゲートには図示しない制御手段からクロック信号 CL2がインバータ（反転回路）INV2を介して供給される。Pチャネルトランジスタ QP2のドレインは、Nチャネルトランジスタ QN1のドレインに接続されている。Nチャネルトランジスタ QN1は、そのソース及びサブストレート（基板）が共通に基準電位 VSSに接続されている。

【0028】

Pチャネルトランジスタ QP1は、そのソースに第2の電源電圧 VC（例えば1.3V）が入力され、ゲートにはクロック信号 CL1がインバータ INV1を介して供給され、ドレインはNチャネルトランジスタ QN1のドレインに接続されている。

【0029】

一方、Pチャネルトランジスタ QP3は、そのソース及びサブストレート（基板）には第1の電源電圧 V1が入力され、ゲートにはクロック信号 CL4がインバータ（反転回路）INV3を介して供給され、ドレインはNチャネルトランジスタ QN2のドレインに接続されている。そして、Nチャネルトランジスタ QN2のソース及びサブストレート（基板）は基準電位 VSSに接続され、ゲートにはクロック信号 CL5が供給される。

【0030】

また、基準電位 VSSのラインには、Nチャネルトランジスタ QN3、QN4、QN5が直列に接続されている。

【0031】

トランジスタ QP3 及び トランジスタ QN2 の共通ドレインと トランジスタ QN3 のソースとの間にはコンデンサ C1 が接続され、トランジスタ QP2 及び トランジスタ QN1 の共通ドレインと トランジスタ QN4 のソースとの間にはコンデンサ C2 が接続され、前記 N チャネル トランジスタ QN5 のソースと基準電位 VSS との間には安定化コンデンサ C0 が接続されている。そして、安定化コンデンサ C0 から昇圧された出力電圧 VOUT が出力される。

【0032】

次に、図 1 の回路動作を図 2 及び図 3 を参照して説明する。

まず、クロック信号 CL1～CL8 の位相関係について説明する。

【0033】

トランジスタ QP1 のクロック信号 CL1 と トランジスタ QN1 のクロック信号 CL3 とは、互いに逆相である。また、トランジスタ QP1 のクロック信号 CL1 または トランジスタ QP2 のクロック信号 CL2 と トランジスタ QN1 のクロック信号 CL3 とは、互いに逆相である。トランジスタ QP3 のクロック信号 CL4 と トランジスタ QN3 のクロック信号 CL6 と トランジスタ QN5 のクロック信号 CL8 とは、前記 トランジスタ QN1 のクロック信号 CL3 と同相である。トランジスタ QN2 のクロック信号 CL5 と トランジスタ QN4 のクロック信号 CL7 とは、前記 トランジスタ QP1 のクロック信号 CL1 または トランジスタ QP2 のクロック信号 CL2 と同相である。

【0034】

(1) まず、図 1 の回路で、第 1 の電源電圧 V1 を選択する時は、図示しない制御手段によって、トランジスタ QP1 のゲートに供給するクロック信号 CL1 をローレベル (L レベル) に相当する電源電圧 VSS (= 0 V) に固定することで、トランジスタ QP1 をオフ状態に固定する。

【0035】

このとき、図示しない制御手段からは、トランジスタ QP2, QN1 のクロック信号 CL2, CL3 として、図 2 に示すような所定の周波数 (例えば 50 kHz) を有しかつ互いに逆相のクロック信号が供給される。トランジスタ QN2, QN4 のクロック信号 CL5, CL7 は、クロック信号 CL2 と同相のクロック信号であり

、トランジスタ QP3, QN3, QN5 のクロック信号 CL4, CL6, CL8 は、前述したようにクロック信号 CL3 と同相のクロック信号である。

【0036】

クロック信号 CL2 が L レベルで、クロック CL3 が H レベルのときは、トランジスタ QN1, QP3, QN3, QN5 がオン、トランジスタ QP2, QN2, QN4 がオフする。このとき、コンデンサ C1 が電源電圧 V1 にて充電され、またコンデンサ C2 の + 極側が基準電位 VSS (= 0 V) に接続される結果、C2 の - 極側の電位即ちトランジスタ QN4 のソース側電位が基準電位 VSS に対して一側へ落とし込まれて、トランジスタ QN5 のドレイン・ソース間を通して安定化コンデンサ C0 に供給される。

【0037】

逆に、クロック信号 CL2 が H レベルで、クロック CL3 が L レベルのときは、トランジスタ QN1, QP3, QN3, QN5 がオフ、トランジスタ QP2, QN2, QN3 がオンする。このとき、コンデンサ C2 が電源電圧 V1 にて充電され、またコンデンサ C1 の + 極側が基準電位 VSS (= 0 V) に接続される結果、コンデンサ C1 の - 極側の電位即ちトランジスタ QN4 のソース側電位が基準電位 VSS に対して一側へ落とし込まれる。そして、クロック信号 CL2, CL3 の次の半周期での各位相の反転により、トランジスタ QP2 がオフ、トランジスタ QN1 がオンすることで（このときトランジスタ QP3 はオンするが）、トランジスタ QN4 のソース側電位が基準電位 VSS に対して一側へ落とし込まれることになる。

【0038】

以上のクロック信号によるチャージポンプ動作が、所定の速いスイッチング周波数（例えば 50 kHz）で実行される結果、安定化コンデンサ C0 に充電されて出力される電圧 VOUT は -2 V1（即ち、-5.2 V）になる。

【0039】

（2）次に、図 1 の回路で、第 2 の電源電圧 VC を選択する時は、図示しない制御手段によって、トランジスタ QP2 のゲートに供給するクロック信号 CL2 を L レベルに相当する電源電圧 VSS (= 0 V) に固定することで、トランジスタ QP2 をオフ状態に固定する。

【0040】

このとき、図示しない制御手段からは、トランジスタQP1, QN1のクロック信号CL1, CL3として、図3に示すような所定の周波数（例えば50kHz）を有しかつ互いに逆相のクロック信号が供給される。トランジスタQN2, QN4のクロック信号CL5, CL7は、クロック信号CL1と同相のクロック信号であり、トランジスタQP3, QN3, QN5のクロック信号CL4, CL6, CL8は、前述したようにクロック信号CL3と同相のクロック信号である。

【0041】

クロック信号CL1がLレベルで、クロックCL3がHレベルのときは、トランジスタQN1, QP3, QN3, QN5がオン、トランジスタQP1, QN2, QN4がオフする。このとき、コンデンサC1が電源電圧V1にて充電され、またコンデンサC2の+極側が基準電位VSS（=0V）に接続される結果、C2の-極側の電位即ちトランジスタQN4のソース側電位が基準電位VSSに対して一側へ落とし込まれ、かつトランジスタQN5のドレイン・ソース間を通して安定化コンデンサC0に供給される。

【0042】

逆に、クロック信号CL1がHレベルで、クロックCL3がLレベルのときは、トランジスタQN1, QP3, QN3, QN5がオフ、トランジスタQP1, QN2, QN4がオンする。このとき、コンデンサC2が電源電圧VCにて充電され、またコンデンサC1の+極側が基準電位VSS（=0V）に接続される結果、コンデンサC1の-極側の電位即ちトランジスタQN4のソース側電位が基準電位VSSに対して一側へ落とし込まれる。そして、クロック信号CL1, CL3の次の半周期での各位相の反転により、トランジスタQP1がオフ、トランジスタQN1がオンすることで（このときトランジスタQP3はオンするが）、トランジスタQN4のソース側電位が基準電位VSSに対して一側へ落とし込まれることになる。

【0043】

以上のクロック信号によるチャージポンプ動作が、所定の速いスイッチング周波数（例えば50kHz）で実行される結果、安定化コンデンサC0に充電されて出力される電圧VOUTは $-V1-VC$ （即ち、-3.9V）になる。

【0044】

ここで、図1の回路と対比するために、図1のような構成をとらずに、トランジスタQP1を取り去り、第1、第2の電源電圧V1、VCを2入力のセレクトで構成されるスイッチ回路1を通して選択的に入力可能とした場合の構成を、図4を参照して説明する。

【0045】

図4においては、図1におけるインバータIN1及びPチャネルトランジスタQP1は無く、その代わりに第1、第2の電源電圧V1、VCが入力されて一方の電源電圧V1または電源電圧VCを選択する2入力のセレクトで構成されるスイッチ回路1が配設されている。

【0046】

スイッチ回路1としては、図5に示すように第1、第2の電源電圧V1、VCが入力される2つの入力ライン間にNチャネルトランジスタQN21、QN22が直列に接続され、かつこのNチャネルトランジスタQN21、QN22に対してそれぞれ並列にPチャネルトランジスタQP21、QP22が接続され、トランジスタQN21、QN22の接続点より前記トランジスタQP2（図4参照）のソースへ、選択された電源電圧V1または電源電圧VCが出力されるようになっている。NチャネルトランジスタQN21、QN22の各ゲートには互いに反対レベル（逆相）の切換信号CL21、CL23が供給されるようになっており、かつPチャネルトランジスタQP21、QP22の各ゲートにも互いに反対レベル（逆相）の切換信号CL22、CL24が供給されるようになっている。NチャネルトランジスタQN21とPチャネルトランジスタQP21とは同時にオンするように切換信号CL21と切換信号CL22とは互いに逆相で与えられる。同様に、NチャネルトランジスタQN22とPチャネルトランジスタQP22とは同時にオンするように切換信号CL23と切換信号CL24とは互いに逆相で与えられる。なお、NチャネルトランジスタQN21とPチャネルトランジスタQP21を対として構成し、同様にNチャネルトランジスタQN22とPチャネルトランジスタQP22を対として構成しているのは、P、Nの各チャネルトランジスタを組み合わせることで各チャネルトランジスタの特性ばらつきを無くするための配慮である。

【0047】

しかしながら、図4の構成を採用すると、選択された電源電圧V1または電源電圧VCがスイッチ回路1のスイッチトランジスタを通らねばならず、その分、出力インピーダンスが高くなってしまいう問題がある。この出力インピーダンスはスイッチ回路を通過した後の昇圧回路において昇圧倍数の2乗で利いてくる（影響が出てくる）という不具合を生ずる。つまり、図4のスイッチ回路を用いた構成を採用せず、図1の第1の実施の形態の構成を採用すれば、出力インピーダンスの影響の少ない入力電圧切換え型の電源回路を実現することが可能となる。

【0048】

即ち、以上述べた第1の実施の形態によれば、コンデンサC2に充電される電圧を途中にトランジスタスイッチを挿まずに選択することができ、出力電圧VOUTの出力インピーダンスを低くすることが可能となる。

【0049】

図6は本発明の第2の実施の形態の電源回路を示す回路図である。

この第2の実施の形態は、正方向3倍昇圧回路を示している。つまり、図示左側のコンデンサC1を含むトランジスタ回路部分で正方向2倍昇圧が行われ、更に図示右側のコンデンサC2を含むトランジスタ回路部分（入力電圧切換え部分も含む）でもう1段の昇圧が加算される結果、正方向の3倍昇圧が可能な構成となっている。

【0050】

図6に示す昇圧回路は、高電位側の電源電圧V1と低電位側の電位VSSとの間に設けられており、複数（図では8つ）のスイッチングトランジスタQP31～QP36, QN31, QN32と複数（図では3つ）のコンデンサC1, C2, C0とで構成されるチャージポンプ方式の昇圧回路であって、該昇圧回路の一部への入力電圧として前記高電位側の電源電圧V1を含む所定数（図では2つ）の電源電圧V1, VCを用意しこれら所定数の電源電圧V1, VCの中から1つを選択的に切り換えて入力し、前記高電位側の電源電圧V1と、前記選択的に切換え入力した1つの電源電圧V1又はVCとに基づいて、出力電圧VOUTとして、昇圧された所定数（図

では2つ)の出力電圧 $3V_1$ または $2V_1+V_C$ を選択的に出力することが可能である。

【0051】

そして、図示しない制御手段は、前記昇圧回路における複数のスイッチングトランジスタQP31～QP36、QN31、QN32のうちの前記所定数の電源電圧 V_1 、 V_C を入力可能とする複数のトランジスタQP31、QP32のうち1つのトランジスタ（QP32又はQP31例えばQP32）を除いた他のトランジスタ（例えばQP31）をオフ状態に固定し、該オフ状態に固定された以外の全てのトランジスタ（例えばQP31以外のトランジスタQP32～QP36、QN31、QN32）を所定の周波数でかつ互いに所定の位相関係でスイッチングして前記昇圧回路に昇圧動作を行わせる制御を行うことで、前記昇圧回路の一部への入力用として用意された前記所定数の電源電圧 V_1 、 V_C の入力切換えを行って前記昇圧回路から所定数の出力電圧 $3V_1$ または $2V_1+V_C$ を選択的に出力可能とさせる。

【0052】

即ち、入力電圧として高電位側の第1の電源電圧 V_1 （例えば2.6V）または第2の電源電圧 V_C （例えば1.3V）を切り換えて入力し、出力電圧として前記第1の電源電圧 V_1 に基づいて昇圧された第1の出力電圧 V_{OUT} （例えば7.8V）を生成して出力することが可能である一方、前記第1の電源電圧 V_1 及び第2の電源電圧 V_C に基づいて昇圧された第2の出力電圧 V_{OUT} （例えば6.5V）を生成して出力することが可能である。

【0053】

なお、この第2の実施の形態では、2つ入力電圧 V_1 、 V_C を用意しこれらを切換え可能としているが、3つ以上の入力電圧を用意しこれらを切り換える構成とすることも可能である。3つ以上の入力電圧を用意してこれらを切り換える場合には、これら3つ以上の入力電圧を入力する複数のスイッチングトランジスタを用意し、入力用兼スイッチング動作用に決めた1つのトランジスタを除いた他のトランジスタをオフ状態に固定し、該オフ状態に固定された以外の昇圧回路における全てのスイッチングトランジスタを所定の周波数でかつ互いに所定の位相関係でスイッチングして昇圧動作を行わせる制御を行うことが必要となる。

【0054】

図6の構成について詳細に説明する。

図6の昇圧回路において、高電位側の第1の電源電圧V1と低電位側の基準電位VSSとの間には、PチャネルトランジスタQP32とNチャネルトランジスタQN31とが直列に接続されており、これと並行して、PチャネルトランジスタQP33とNチャネルトランジスタQN32とが直列に接続されている。また、前記PチャネルトランジスタQP32に並列的にPチャネルトランジスタQP31が接続されている。

【0055】

PチャネルトランジスタQP32のソースには、第1の電源電圧V1（例えば2.6V）が入力され、ゲートには図示しない制御手段からクロック信号CL32がインバータ（反転回路）INV12を介して供給される。

【0056】

PチャネルトランジスタQP31は、そのソースに第2の電源電圧VC（例えば1.3V）が入力され、ゲートにはクロック信号CL31がインバータINV11を介して供給される。

【0057】

一方、PチャネルトランジスタQP33のゲートにはクロック信号CL35がインバータ（反転回路）INV13を介して供給され、ソースには第1の電源電圧V1（例えば2.6V）が入力されている。NチャネルトランジスタQN32のゲートにはクロック信号CL34が供給される。

【0058】

また、第1の電源電圧V1（例えば2.6V）のラインには、PチャネルトランジスタQP34、QP35、QP36が直列に接続されている。トランジスタQP34、QP35、QP36の各ゲートには、図示しない制御手段からクロック信号CL36、CL37、CL38がそれぞれインバータINV14、INV15、INV16を介して供給される。

【0059】

トランジスタQP33及びトランジスタQN32の共通ドレインとトランジスタQP3

4のソースとの間にはコンデンサC1が接続され、トランジスタQP32及びトランジスタQN31の共通接続点（ドレイン）とトランジスタQP35のソースとの間にはコンデンサC2が接続され、前記PチャネルトランジスタQP36の出力端（ソース）と基準電位VSSとの間には安定化コンデンサC0が接続されている。そして、安定化コンデンサC0から昇圧された電圧VOUTが出力される。

【0060】

ここでクロック信号の位相関係について説明する。

前記トランジスタQP31のクロック信号CL31とトランジスタQN31のクロック信号CL33とは、互いに逆相である。また、前記トランジスタQP32のクロック信号CL32とトランジスタQN31のクロック信号CL33とは、互いに逆相である。前記トランジスタQP32のクロック信号CL34とトランジスタQP34のクロック信号CL36とトランジスタQP36のクロック信号CL38とは、前記トランジスタQP31のクロック信号CL31またはトランジスタQP32のクロック信号CL32と同相である。前記トランジスタQP33のクロック信号CL35とトランジスタQP35のクロック信号CL37とは、前記トランジスタQN31のクロック信号CL33と同相である。

【0061】

なお、この第2の実施の形態では、Pチャネルトランジスタのゲートにクロック信号を供給するのに、Pチャネルトランジスタのゲートの前段にインバータ（反転回路）を配置した構成としているが、このインバータを取り去り、その代わりにPチャネルトランジスタのゲートに供給するクロック信号の極性を反転（換言すれば、クロック信号位相を逆転）させる構成としてもよい。このことは第1の実施の形態の説明における図1や図4、並びに第2の実施の形態以降に述べる実施の形態についても同様である。

【0062】

以下簡単に動作を説明する。

(1) まず、第1の電源電圧V1を選択する時は、図示しない制御手段によって、前記QP31のゲートに供給するクロック信号CL31をLレベルに相当する電源電圧VSS（＝0V）に固定することで、トランジスタQP31をオフ状態に固定

する。

【0063】

このとき、図示しない制御手段からは、トランジスタQP32、QN31のクロック信号CL32、CL33として、所定の周波数（例えば50kHz）を有しかつ互いに逆相のクロック信号が供給される。トランジスタQN32、QP34、QP36のクロック信号CL34、CL36、CL38は、クロック信号CL32と同相のクロック信号であり、トランジスタQP33、QP35のクロック信号CL35、CL37は、前述したようにクロック信号CL33と同相のクロック信号である。

【0064】

クロック信号CL32がHレベルで、クロック信号CL33がLレベルのときは、トランジスタQP32、QNP32、QP34、QP36がオン、トランジスタQN31、QP33、QP35がオフする。このとき、コンデンサC1が電源電圧V1にて充電され、またコンデンサC2の一極側が電源電圧V1（=2.6V）に接続される結果、C2の+極側の電位即ちトランジスタQP35のソース側電位が電源電圧V1に対して+側へ持ち上がり、トランジスタQP36のドレイン・ソース間を通して安定化コンデンサC0に供給される。

【0065】

逆に、クロック信号CL32がLレベルで、クロックCL33がHレベルのときは、トランジスタQP32、QNP32、QP34、QP36がオフ、トランジスタQN31、QP33、QP35がオンする。このとき、コンデンサC2の+極側が基準電位VSSに接続され、またコンデンサC1の+極側が電源電圧V1（=2.6V）に接続される結果、コンデンサC1の一極側の電位即ちトランジスタQP34のソース側電位が電源電圧V1に対して+側へ持ち上げられる。そして、クロック信号CL32、CL33の次の半周期での各位相の反転により、トランジスタQP32がオン、トランジスタQN31がオフすることで（このときトランジスタQP33はオフするが）、トランジスタQP35のソース側電位が電極電圧V1に対して+側へ持ち上げられることになる。

【0066】

以上のクロック信号によるチャージポンプ動作が、所定の速いスイッチング周

波数（例えば 5 0 k H z）で実行される結果、安定化コンデンサ C 0 に充電されて出力される電圧 V O U T は 3 V 1（即ち、7. 8 V）になる。

【 0 0 6 7 】

（2）次に、第 2 の電源電圧 V C を選択する時は、図示しない制御手段によって、前記 Q P 3 2 のゲートに供給するクロック信号 C L 3 2 を L レベルに相当する電源電圧 V S S（= 0 V）に固定することで、トランジスタ Q P 3 2 をオフ状態に固定する。

【 0 0 6 8 】

このとき、図示しない制御手段からは、トランジスタ Q P 3 1, Q N 3 1 のクロック信号 C L 3 1, C L 3 3 として、所定の周波数（例えば 5 0 k H z）を有しかつ互いに逆相のクロック信号が供給される。トランジスタ Q N 3 2, Q P 3 4, Q P 3 6 のクロック信号 C L 3 4, C L 3 6, C L 3 8 は、クロック信号 C L 3 1 と同相のクロック信号であり、トランジスタ Q P 3 3, Q P 3 5 のクロック信号 C L 3 5, C L 3 7 は、前述したようにクロック信号 C L 3 3 と同相のクロック信号である。

【 0 0 6 9 】

クロック信号 C L 3 1 が H レベルで、クロック信号 C L 3 3 が L レベルのときは、トランジスタ Q P 3 1, Q N P 3 2, Q P 3 4, Q P 3 6 がオン、トランジスタ Q N 3 1, Q P 3 3, Q P 3 5 がオフする。このとき、コンデンサ C 1 が電源電圧 V 1（= 2. 6 V）にて充電され、またコンデンサ C 2 の + 極側が電源電圧 V C（= 1. 3 V）に接続される結果、C 2 の - 極側の電位即ちトランジスタ Q P 3 5 のソース側電位が電源電圧 V C に対して + 側へ持ち上がり、トランジスタ Q P 3 6 のドレイン・ソース間を通して安定化コンデンサ C 0 に供給される。

【 0 0 7 0 】

逆に、クロック信号 C L 3 1 が L レベルで、クロック C L 3 3 が H レベルのときは、トランジスタ Q P 3 1, Q N P 3 2, Q P 3 4, Q P 3 6 がオフ、トランジスタ Q N 3 1, Q P 3 3, Q P 3 5 がオンする。このとき、コンデンサ C 2 の + 極側が基準電位 V S S に接続され、またコンデンサ C 1 の - 極側が電源電圧 V 1（= 2. 6 V）に接続される結果、コンデンサ C 1 の + 極側の電位即ちトランジスタ Q P 3 4 のソース側電位が電源電圧 V 1（= 2. 6 V）に対して + 側へ持ち上げられる。そして、クロック信号

C L 31, C L 33の次の半周期での各位相の反転により、トランジスタ QP31がオン、トランジスタ QN31がオフすることで（このときトランジスタ QP33はオフするが）、トランジスタ QP35のソース側電位が電極電圧 $V_C (= 1.3 \text{ V})$ に対して+側へ持ち上げられることになる。

【0071】

以上のクロック信号によるチャージポンプ動作が、所定の速いスイッチング周波数（例えば 50 kHz ）で実行される結果、安定化コンデンサ C0に充電されて出力される電圧 V_{OUT} は $2V_1 + V_C$ （即ち、 6.5 V ）になる。

【0072】

以上述べた第2の実施の形態においても、コンデンサ C2に充電される電圧を途中にトランジスタスイッチを挿まずに選択することができ、出力電圧 V_{OUT} の出力インピーダンスを低くすることが可能となる。

【0073】

図7は本発明の第3の実施の形態の電源回路を示す回路図である。

この第3の実施の形態に示す電源回路は、複数の昇圧段数を有する多段昇圧回路で構成され、該多段昇圧回路の出力端子と、該多段昇圧回路の少なくとも最終段を構成するコンデンサの出力端側の端子とをショートし、該コンデンサを取り去ることによって、昇圧段数を減らすことを可能としたものである。

この第3の実施の形態は、負方向4段昇圧回路を示している。

【0074】

図7に示す昇圧回路は、図1の負方向2段昇圧回路におけるNチャネルトランジスタ QN5のソースと安定化コンデンサ C0の出力端との間に、Nチャネルトランジスタ QN6, QN7を直列に接続し、Pチャネルトランジスタ QP3とNチャネルトランジスタ QN2の共通接続点（ドレイン）と、Nチャネルトランジスタ QN5, QN6の接続点との間にコンデンサ C3を接続し、高電位側の第1の電源電圧 V_1 と基準電位 V_{SS} との間に、Pチャネルトランジスタ QP4及びNチャネルトランジスタ QN8を直列に接続し、QP4とQN8の接続点（ドレイン）と、トランジスタ QN6, QN7の接続点との間に、コンデンサ C4を接続する。そして、コンデンサ C4の一端とトランジスタ QN6のソースとの接続点に端子Aを設け、かつ安定化コンデ

ンサC0の出力端に端子Bを設ける。なお、PチャネルトランジスタQP4のゲートには、インバータINV4を介してクロック信号CL11を入力し、NチャネルトランジスタQN8のゲートには、クロック信号CL12を入力する構成としてある。

【0075】

ここでクロック信号の位相関係を説明する。

トランジスタQP1のクロック信号CL1とトランジスタQN1のクロック信号CL3とは、互いに逆相である。トランジスタQP4のクロック信号CL11とトランジスタQN8のクロック信号CL12とは、互いに逆相である。クロック信号CL1またはクロック信号CL2とクロック信号CL11とは、同相である。また、トランジスタQP1のクロック信号CL1またはトランジスタQP2のクロック信号CL2とトランジスタQN1のクロック信号CL3とは、互いに逆相である。クロック信号CL3とクロック信号CL12とは、同相である。トランジスタQP3のクロック信号CL4とトランジスタQN3のクロック信号CL6とトランジスタQN5のクロック信号CL8とトランジスタQN7のクロック信号CL10とは、前記トランジスタQN1のクロック信号CL3及び前記トランジスタQN8のクロック信号CL12と同相である。トランジスタQN2のクロック信号CL5とトランジスタQN4のクロック信号CL7とトランジスタQN6のクロック信号CL9とは、前記トランジスタQP1のクロック信号CL1またはトランジスタQP2のクロック信号CL2と同相である。

【0076】

その他の構成は、図1と同様であるので説明を省略する。

次に、図7の動作を簡単に説明する。

まず、第1の電源電圧V1を選択する時は、図示しない制御手段によって、トランジスタQP1のゲートに供給するクロック信号CL1をローレベル（Lレベル）に相当する電源電圧VSS（＝0V）に固定することで、トランジスタQP1をオフ状態に固定し、前述のクロック信号CL1～CL12を供給すると、所定の速いスイッチング周波数でチャージポンプ動作が実行される結果、安定化コンデンサC0より出力される出力電圧VOUTは4V1（即ち、－10.4V）になる。

【0077】

次に、第2の電源電圧VCを選択する時は、図示しない制御手段によって、トランジスタQP2のゲートに供給するクロック信号CL2をLレベルに相当する電源電圧VSS (= 0 V) に固定することで、トランジスタQP2をオフ状態に固定し、前述のクロック信号CL1~CL12を供給すると、所定の速いスイッチング周波数でチャージポンプ動作が実行される結果、安定化コンデンサC0より出力される出力電圧VOUTは $-3V_1 - VC$ (即ち、 $-9.1V$) になる。

【0078】

従って、図7の昇圧回路は、第1, 第2の電源電圧V1, VCのいずれかを選択し、普通に昇圧回路として動作させると、出力電圧VOUTが $-10.4V$ か $-9.1V$ となる。

【0079】

ところで、上記の図7の昇圧回路の構成で、トランジスタQP1~QP4、トランジスタQN1~QN8、及びインバータINV1~INV4は集積回路(IC)内に配設されており、コンデンサC1~C4, C0と端子A, BはICの内部に設けられた外部との接続端子である。

【0080】

そこで、図8に示すように、昇圧回路を搭載したIC10の内部に、上述の出力電圧VOUTを出力するための端子Bと、上記コンデンサC4の一端 (即ち、QN6のソース) に接続した端子Aとを配設する。なお、端子Bと端子Aとは配線抵抗がのらないように基板上で最短距離となるよう配置することが好ましい。そして、端子Bと端子AとをICの外部でリードにて電氣的に接続し、コンデンサC4を外し、トランジスタQN7のゲートにHレベルを供給することでトランジスタQN7をオン状態に固定する。ただし、トランジスタQN7をオン状態に固定することは必須ではない。これにより、図7の4段構成の昇圧回路の段数が3段となり、第1, 第2の電源電圧V1, VCの一方を選択し、昇圧回路として動作させると、出力電圧VOUTが $-7.8V$ か $-6.5V$ となる。

【0081】

図9は本発明の第4の実施の形態の電源回路を示すブロック図である。

この第4の実施の形態は、正方向5倍昇圧回路を示している。

図7に示す昇圧回路は、図6の正方向3倍昇圧回路におけるPチャネルトランジスタQP36のソースと安定化コンデンサC0との間に、PチャネルトランジスタQP37、QP38を直列に接続し、PチャネルトランジスタQP36のソースと、PチャネルトランジスタQP33のドレインとの間にコンデンサC3を接続し、高電位側の第1の電源電圧V1と基準電位VSSとの間に、PチャネルトランジスタQP39及びNチャネルトランジスタQN33を直列に接続し、トランジスタQP439のドレインとトランジスタQP37のソースとの間に、コンデンサC4を接続する。そして、コンデンサC4の一端とトランジスタQP37のソースとの接続点に端子Aを設け、かつ安定化コンデンサC0の出力端に端子Bを設ける。なお、PチャネルトランジスタQP39のゲートには、インバータINV19を介してクロック信号CL41を入力し、NチャネルトランジスタQN33のゲートには、クロック信号CL42を入力する構成としてある。

【0082】

ここで、クロック信号の位相関係について説明する。

トランジスタQP31のクロック信号CL31とトランジスタQN31のクロック信号CL33とは、互いに逆相である。また、トランジスタQP2のクロック信号CL32とトランジスタQN31のクロック信号CL33とは、互いに逆相である。トランジスタQP39のクロック信号CL41とトランジスタQN33のクロック信号CL42とは、互いに逆相である。トランジスタQN31のクロック信号CL33とトランジスタQN33のクロック信号CL42とは、同相である。

【0083】

トランジスタQP32のクロック信号CL34とトランジスタQP34のクロック信号CL36とトランジスタQP36のクロック信号CL38とトランジスタQP38のクロック信号CL40とは、前記トランジスタQP31のクロック信号CL31またはトランジスタQP32のクロック信号CL32と同相である。前記トランジスタQP33のクロック信号CL35とトランジスタQP35のクロック信号CL37とトランジスタQP37のクロック信号CL39とは、前記トランジスタQN31のクロック信号CL33と同相である。

【0084】

その他の構成は、図6と同様であるので説明を省略する。

このような図9の昇圧回路においては、第1、第2の電源電圧 V_1 、 V_C のいずれかを選択し、普通に昇圧回路として動作させると、出力電圧 V_{OUT} が $5V_1 (= 13.0V)$ か、 $4V_1 + V_C (= 11.7V)$ となる。

【0085】

一方、上記の図9の昇圧回路の構成においても、トランジスタ $QP_{31} \sim QP_{39}$ 、トランジスタ $QN_{31} \sim QN_{33}$ 及びインバータ $INV_{11} \sim INV_{19}$ は集積回路(IC)内に配設されており、コンデンサ $C_1 \sim C_4$ 、 C_0 と端子A、BはICの内部に設けられた外部との接続端子である。

【0086】

そこで、昇圧回路を搭載したICの内部に、上述の出力電圧 V_{OUT} を出力するための端子Bと、上記コンデンサ C_4 の一端(即ち、 QP_{37} のソース)に接続した端子Aとを配設し、端子Bと端子AとをICの外部でリードにて電氣的に接続し、コンデンサ C_4 を外し、トランジスタ QP_{38} のゲートにHレベルを供給することでトランジスタ QP_{38} をオン状態に固定する。ただし、トランジスタ QP_{38} をオン状態に固定することは必須ではない。これにより、図9の4段構成の5倍昇圧回路の段数が3段となり、第1、第2の電源電圧 V_1 、 V_C の一方を選択し、昇圧回路として動作させると、出力電圧 V_{OUT} が $4V_1 (= 10.4V)$ か、 $3V_1 + V_C (= 9.1V)$ となる。

【0087】

以上述べた第3、第4の実施の形態によれば、多段で構成される昇圧回路を顧客の必要とするであろう最大の段数に作成しておいて実際の使用条件に合わせてICの外部でショートしたり外部接続のコンデンサの数を調整したりすることで、昇圧回路の段数を減らすことができる。

【0088】

また、図7や図9の回路では、入力電圧として第1、第2の電源電圧を選択できることに加えて、昇圧段数を変更できるので、出力電圧 V_{OUT} としては、 $2 \times$ (昇圧段数の変更数)通りの出力電圧を生成することが可能である。さらに、入

力電圧の選択数を3つ以上に増せば、出力電圧 V_{OUT} として更に多種類の電圧を生成できる。

【0089】

ところで、図10(A)に一般的な負方向3倍昇圧回路の構成を示す。この回路は、図1におけるNチャネルトランジスタQN5のソースと安定化コンデンサC0との間に、NチャネルトランジスタQN6のドレイン・ソースを直列に接続し、図1におけるNチャネルトランジスタQN2のドレインとNチャネルトランジスタQN6のドレインとの間にコンデンサC3を接続し、図1における入力電圧切換えのためのPチャネルトランジスタQP1及びインバータINV1を削除することによって、負方向の3段昇圧回路となっている。

【0090】

入力電圧は電源電圧V1（例えば2.6V）のみとなっており、出力電圧 V_{OUT} は-3V1（=-7.8V）となる。この出力電圧 V_{OUT} は安定化コンデンサC0を通して安定電位として取り出される。

しかしながら、図10(A)における多段昇圧回路では、NチャネルトランジスタQN3、QN4、QN5の各ソースa、b、cの電位は高速スイッチングによる昇圧動作しているために図10(B)に示すように電位が安定していない。このため、多段昇圧回路の途中の少なくとも1つの段における電位（例えば-5.2Vや-2.6V）を安定電位として取り出せなかった。

【0091】

図11は本発明の第5の実施の形態の電源回路を示すブロック図である。図10と同一部分には同一符号を付して説明する。

この第5の実施の形態に示す電源回路は、複数の昇圧段数を有する多段昇圧回路で構成され、該多段昇圧回路の途中の少なくとも一つの段におけるコンデンサの一極側にトランジスタを介して出力用コンデンサを接続し、該出力用コンデンサより途中の電位を安定電位として取り出すようにしたものである。

【0092】

図11の昇圧回路では、図10におけるNチャネルトランジスタQN4と並列的にNチャネルトランジスタQN7を配置し、トランジスタQN7のドレインをトラン

ジスタ QN3 のソース（即ち QN4 のドレイン）に接続し、トランジスタ QN7 をトランジスタ QN4 と同じタイミングで（即ち同相で）オン・オフさせることにより、トランジスタ QN7 のソースから出力用の安定化コンデンサ C01 を介して 1 段目の出力電圧 V_{OUT1} として $-V_1$ ($= -2.6\text{ V}$) を安定的に取り出せるようにしている。勿論、同時に、安定化コンデンサ C0 からは出力電圧 V_{OUT} として、図 10 (A) の出力電圧と同様に $-3V_1$ ($= -7.8\text{ V}$) を取り出すことができる。

【0093】

なお、2 段目からも同様にして、コンデンサ C2 の出力端にトランジスタを介在して出力用のコンデンサを接続することにより、出力電圧 V_{OUT2} として $-2 \times V_1$ ($= -5.2\text{ V}$) を安定的に取り出すことが可能となる。

【0094】

一般的には $-V_1$ ($= -2.6\text{ V}$) が必要ならば、図 12 に示すような専用の昇圧回路を構成して、 $-V_1$ ($= -2.6\text{ V}$) を得ることが必要である。図 12 におけるトランジスタ QP3' , QN2' , QN3' , QN7' 、インバータ INV3' , コンデンサ C1' , 安定化コンデンサ C01' , 出力電圧 V_{OUT1}' , 及びクロック信号 CL4' , CL5' , CL6' , CL7' はそれぞれ、図 11 におけるトランジスタ QP3, QN2, QN3, QN7、インバータ INV3, コンデンサ C1, 安定化コンデンサ C01, 出力電圧 V_{OUT1} , 及びクロック信号 CL4, CL5, CL6, CL7 に対応している。クロック信号 CL4' 及び CL6 は同相であり、クロック信号 CL5' 及び CL7' は同相であり、かつクロック信号 CL4' 及び CL6 と、クロック信号 CL5' 及び CL7' とは互いに逆相のクロック信号である。

【0095】

以上述べた第 5 の実施の形態によれば、トランジスタ QN7 と出力用の安定化コンデンサ C01 を追加するのみで、他の部分は負方向 3 段昇圧回路の部分を利用すればよく、図 12 のような専用の昇圧回路を設けるのに比べて、部品点数が少なく済む。

【0096】

ところで、液晶表示装置の駆動方法には、原理駆動と呼ばれるものがある。これは、カラー STN (Super Twisted Nematic の略) などの単純マトリックス型

液晶パネルなどに用いられている。

【0097】

液晶表示装置は、図13に示すように、液晶パネル例えば単純マトリックス型液晶パネル20は、コモン電極C0～Cmが形成された第1の基板と、セグメント電極S0～Snが形成された第2の基板との間に、液晶を封止することで形成されている。コモン電極の一本とセグメント電極の一本とが交差する交点が表示画素となり、液晶パネル20には $(m+1) \times (n+1)$ の表示画素が存在する。なお、液晶パネルは、単純マトリックス型液晶パネル20に代えて、アクティブマトリックス型液晶表示パネルなど、他の液晶パネルを用いることもできる。この液晶パネル20を駆動する駆動回路として、コモン電極C0～Cmに接続されたコモンドライバ21と、セグメント電極S0～Snに接続されたセグメントドライバ22とが設けられている。これらコモンドライバ21、セグメントドライバ22は、電源回路30から所定の電圧が供給されると共に、駆動制御回路40からの信号に基づいて、コモン電圧及びセグメント電圧をコモン電極C0～Cm及びセグメント電極S0～Snに供給する。

【0098】

原理駆動では、コモン電圧はV2、VC、MV2の3値がとられ、セグメント電圧はV1、MV1の2値がとられる。コモン電圧としては例えば、 $V2=16.9$ V、 $VC=1.3$ V、 $MV2=-14.3$ V、またセグメント電圧としては例えば、 $V1=2.6$ V、 $MV1=0$ Vとされる。これらのコモン電圧の3値、セグメント電圧の2値を組み合わせることによって液晶パネル上の画素を階調表示することができる。

【0099】

このような原理駆動の液晶表示装置において、画面表示オフ（液晶画面に何も映さない状態）とするためには、液晶に電圧をかけない無バイアス状態を作成する必要がある。このためには、例えば、セグメント電圧の $V1=2.6$ Vを降下して 1.3 Vとし、コモン電圧の $VC=1.3$ Vとセグメント電圧V1の降下した電圧（ $=1.3$ V）とで無バイアス状態を作成すればよい。

【0100】

図14は正方向2倍昇圧回路を用いたセグメント電圧V1の生成回路の回路図であり、図15は図14を用いて構成される無バイアス用セグメント電圧の作成回路を示すものである。

図14において、高電位側の電源電圧VCと低電位側の基準電位VSSとの間には、PチャネルトランジスタQP51とNチャネルトランジスタQN51とが直列に接続されている。

【0101】

PチャネルトランジスタQP51のゲートには図示しない制御手段からクロック信号CL52がインバータ（反転回路）INV21を介して供給され、ソースには電源電圧VC（＝1.3V）が入力されている。NチャネルトランジスタQN51のゲートにはクロック信号CL51が供給される。

【0102】

また、電源電圧VC（＝1.3V）には、PチャネルトランジスタQP52、QP53が直列に接続されている。トランジスタQP52、QP53の各ゲートには、図示しない制御手段からインバータINV22、INV23をそれぞれ介してクロック信号CL53、CL54が供給される。

【0103】

トランジスタQP51及びトランジスタQN51の共通接続点（ドレイン）とトランジスタQP52のソースとの間にはコンデンサC1が接続され、前記PチャネルトランジスタQP53の出力端（ソース）と基準電位VSSとの間には安定化コンデンサC0が接続されている。そして、安定化コンデンサC0から2倍昇圧電圧V1（＝2VC）が出力される。

【0104】

前記トランジスタQN51のクロック信号CL51とトランジスタQP52のクロック信号CL53とは、同相である。また、前記トランジスタQP51のクロック信号CL52とトランジスタQP53のクロック信号CL54とは、同相である。そして、クロック信号CL51、CL53と、クロック信号CL52、CL54とは、互いに逆相である。各クロック信号CL51～CL54は、50%デューティの所定周波数（例えば50kHz）の矩形波パルスである。

【0105】

上記の回路において、まず、クロック信号CL51, CL53の半周期にてトランジスタQN51, QP52がオンすると、電源電圧VC (= 1.3 V) に基づいてコンデンサC1が充電され、クロック信号の次の半周期にてQN51, QP52がオフ、トランジスタQP51, QP53がオンすることで、電源電圧VCにコンデンサC1の充電電圧 (= VC) が加算され、安定化コンデンサC0には2倍昇圧された2VC (= $V1 = 2.6$ V) の電圧が出力される。

【0106】

図15はセグメント電圧V1として、本来必要な2.6 Vと、画面表示オフ時の無バイアス作成用として必要な1.3 Vとを作成するための回路構成を示している。

【0107】

図15の回路では、図14の正方向2倍昇圧回路の入力電圧VC (= 1.3 V) とその出力電圧2VC (= $V1 = 2.6$ V) とをスイッチ回路1にて切り換えてセグメント電圧V1の大きさを2.6 Vと1.3 Vとに切り換えることができるようしている。なお、コンデンサC1に並列接続したNチャネルトランジスタQN53、コンデンサC1の一端と基準電位VSSとの間に接続したNチャネルトランジスタQN52、安定化コンデンサC0に並列接続したNチャネルトランジスタQN54は、トランジスタQN52～QN54はシステムの電源を切った後にコンデンサC1, C0に電荷が残っているといけけないので（つまり、液晶にDC電圧が印加されてしまうといけけないので）、システムの電源を切る前に、コンデンサC1, C0の電荷を抜くために設けられている。

【0108】

このように画面表示のオフ時の液晶無バイアス状態を作るために、図15のようにVCと2VCとをスイッチ回路1にて選択し、セグメント電圧V1としていた。このため、図4の回路で説明したと同様に、トランジスタで構成されるスイッチ回路1の出力インピーダンスの影響が大きくなる。例えばスイッチ回路1の後段に昇圧回路2, 3がカスケード接続されている場合には、出力インピーダンスは各昇圧回路2, 3それぞれの昇圧倍数の2乗で効いてくるので非常に影響が大

きくなる。

【0109】

図16は本発明の第6の実施の形態の電源回路を示す回路図である。

この第6の実施の形態は、スイッチ回路を別に設けることなく、セグメント電圧V1として、電源電圧VCに基づいて $2VC (= 2.6V)$ と $VC (= 1.3V)$ を出力するようにしたものである。

【0110】

図16の電源回路は、図15に示した回路構成の一部（トランジスタQN51～QN54, QP51～QP53、インバータINV21～INV23、コンデンサC1, C0による2倍昇圧回路）と同じ構成である。図15と異なる点は、セグメント電圧V1として電源電圧VCに等しい電圧を出力する場合には、トランジスタQN52～QN54のオン制御によってコンデンサC1, C0の充電電荷を抜いた後に、トランジスタQN51, QP51～QP53の一部のトランジスタをオン状態とし残りのトランジスタをオフ状態に固定するよう各トランジスタのゲート電圧を制御するようにしたことである。

【0111】

以下、図17及び図18のタイミングチャートを参照して図16の回路動作を説明する。

セグメント電圧V1として $2VC$ を得る時には、図17に示すようにクリア信号XslpをLレベルとし、クロック信号CL51～CL54を正常に供給することで、図16の2倍昇圧回路を普通に昇圧動作させ、 $V1 = 2VC$ とする。

【0112】

また、セグメント電圧V1としてVCを得る時には、図18に示すように通常の昇圧動作の後に、クロック信号CL51～CL54を全てLレベルとしてトランジスタQN51, QP51～QP53をオフさせ（正確にはトランジスタQP51, QP52のみをオフさせれば充分）、その状態でクリア信号Xslpを一定時間HレベルとしてコンデンサC1, C0の電荷を抜いた後、クロック信号CL51, CL53, CL54をHレベルとしクロック信号CL52をLレベルとすることで、トランジスタQN51, QP52, QP53がオン状態にトランジスタQP51がオフ状態に固定され、 $V1 = VC$

となる。

【0113】

以上述べた第6の実施の形態によれば、図15のようにスイッチ回路を用いる必要がなく、従ってスイッチ回路の出力インピーダンスの影響を受けることがない。

本発明は、以上述べた実施の形態に限るものではなく、本発明の要旨を変えない範囲で各実施の形態を適宜変更して実施することができる。

【0114】

【発明の効果】

以上述べたように本発明によれば、昇圧回路への入力電圧の切換えをスイッチ回路を用いずに行い、昇圧回路の出力インピーダンスの影響を極力小さくすることが可能な電源回路を実現することが可能となる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態の電源回路を示す回路図。

【図2】

図1の回路動作を説明するタイミングチャート。

【図3】

図1の回路動作を説明するタイミングチャート。

【図4】

図1の回路と対比するために、第1、第2の電源電圧をスイッチ回路を通して選択的に入力可能とした場合の一般的な構成を示す構成図。

【図5】

図4のスイッチ回路の構成を示す回路図。

【図6】

本発明の第2の実施の形態の電源回路を示す回路図。

【図7】

本発明の第3の実施の形態の電源回路を示す回路図。

【図8】

図 7 の昇圧回路を搭載した I C の外部に配設される、出力電圧 V_{OUT} を出力するための端子 B と、コンデンサの一端に接続した端子 A とを示す図。

【図 9】

本発明の第 4 の実施の形態の電源回路を示すブロック図。

【図 1 0】

一般的な負方向 3 倍昇圧回路の構成を示す回路図及びその途中電位を示す波形図。

【図 1 1】

本発明の第 5 の実施の形態の電源回路を示すブロック図。

【図 1 2】

途中電位を作成するのに一般的に必要とされる専用の昇圧回路を示すブロック図。

【図 1 3】

液晶表示装置の構成を示す構成図。

【図 1 4】

正方向 2 倍昇圧回路を用いたセグメント電圧 V_1 の生成回路の回路図。

【図 1 5】

図 1 4 を用いて構成される無バイアス用セグメント電圧の作成回路の構成を示す構成図。

【図 1 6】

本発明の第 6 の実施の形態の電源回路を示す回路図。

【図 1 7】

図 1 6 の回路動作を説明するタイミングチャート。

【図 1 8】

図 1 6 の回路動作を説明するタイミングチャート。

【符号の説明】

V_1 …第 1 の電源電圧

V_C …第 2 の電源電圧

C_1, C_2 …コンデンサ

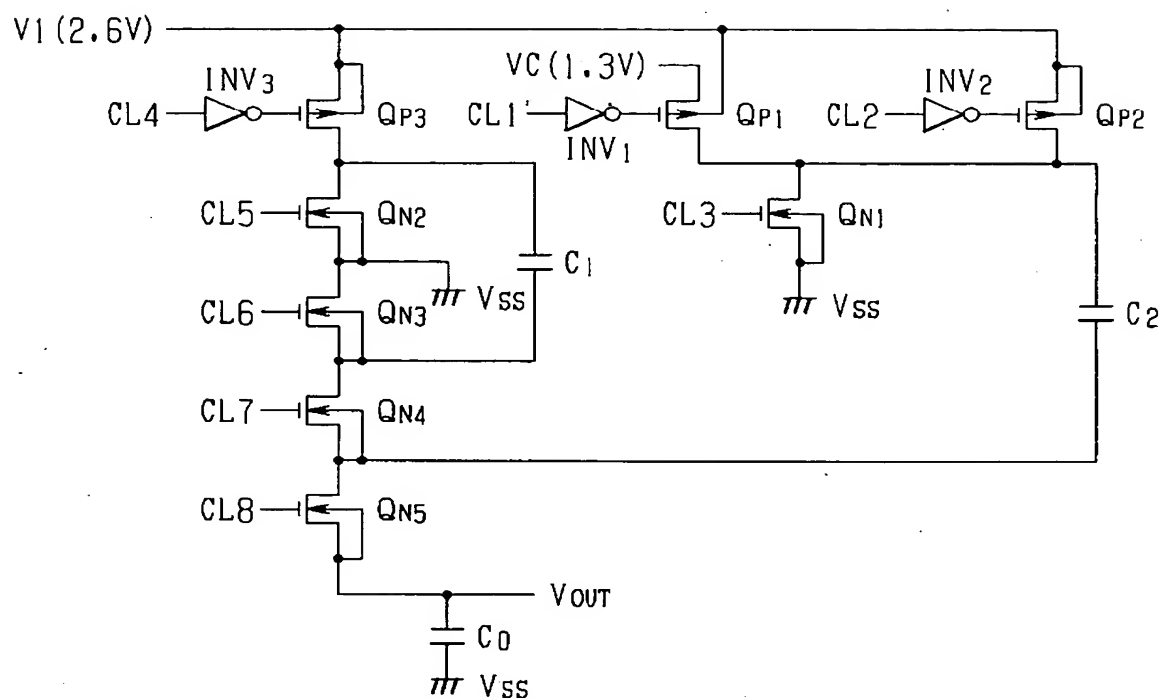
C0…安定化コンデンサ（出力用コンデンサ）

QP1～QP3…Pチャネルトランジスタ（スイッチングトランジスタ）

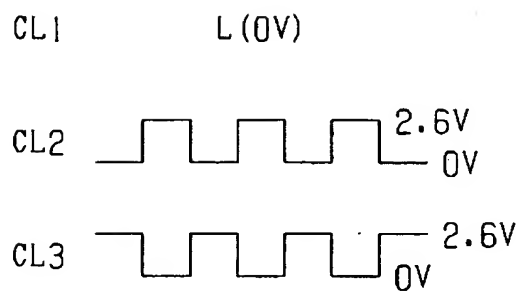
QN1～QN5…Nチャネルトランジスタ（スイッチングトランジスタ）

【書類名】 図面

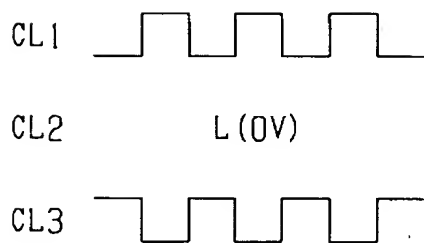
【図 1】



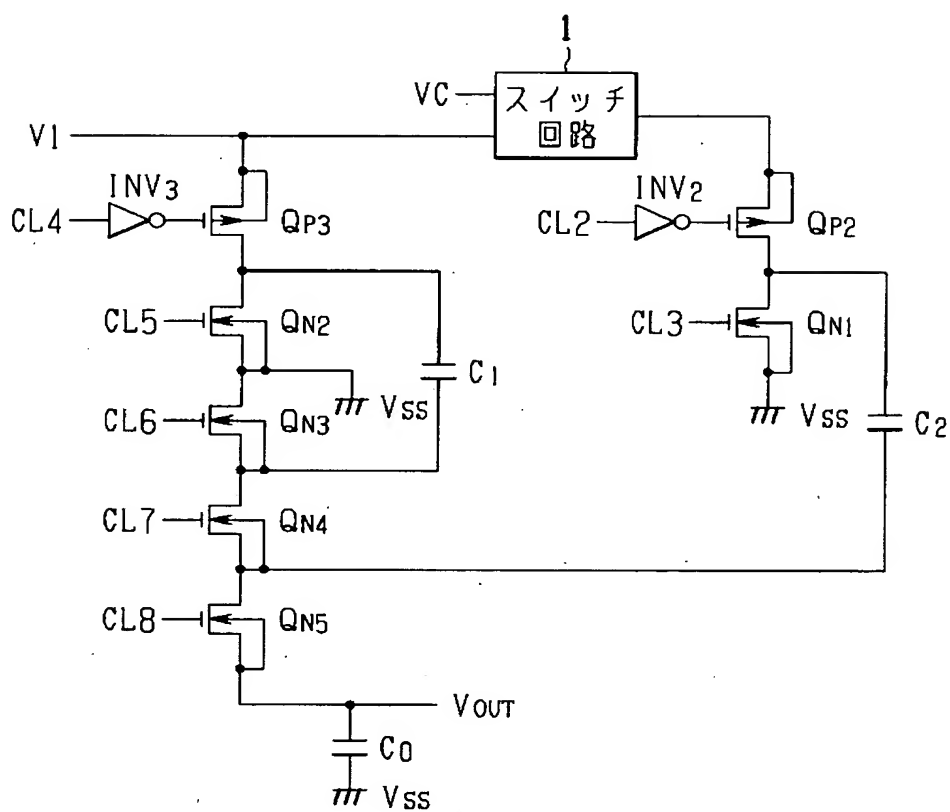
【図 2】



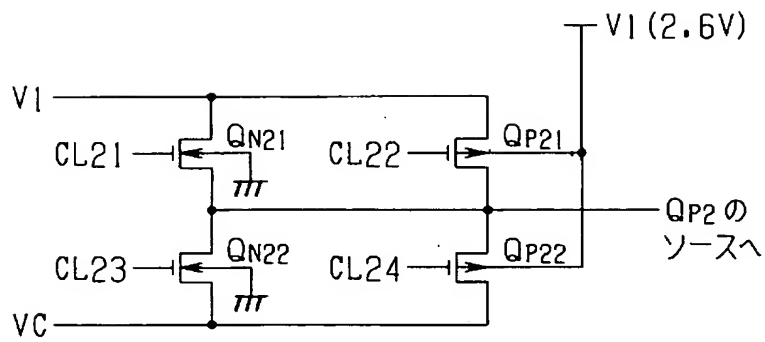
【図 3】



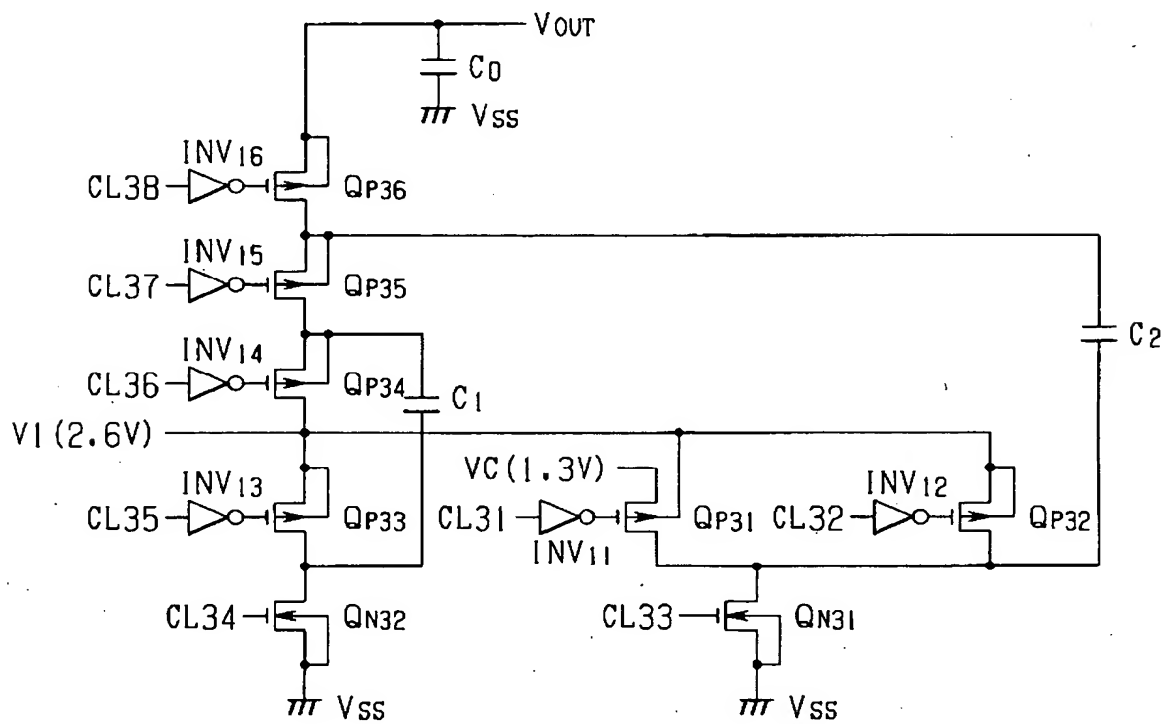
【図 4】



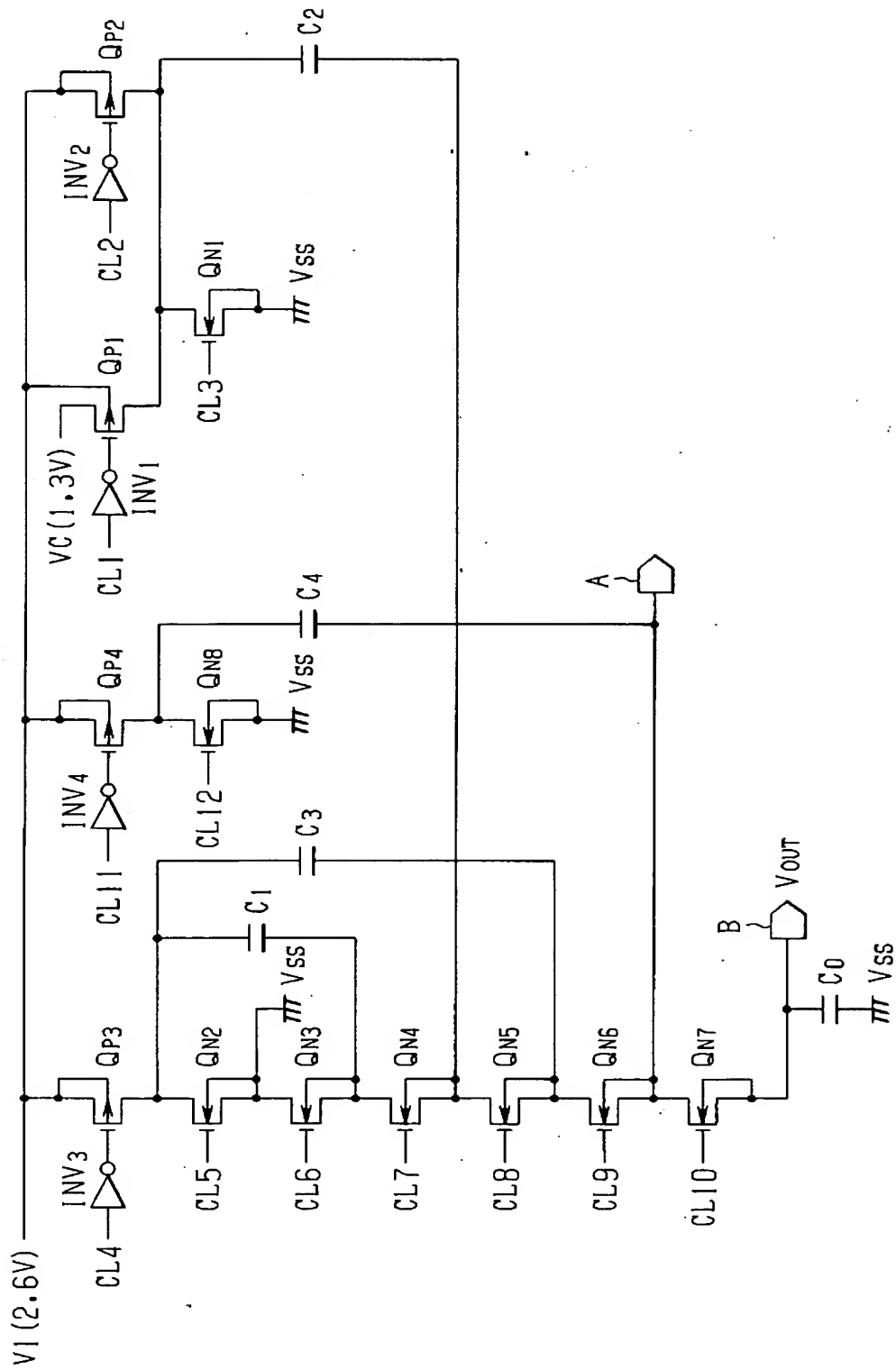
【図 5】



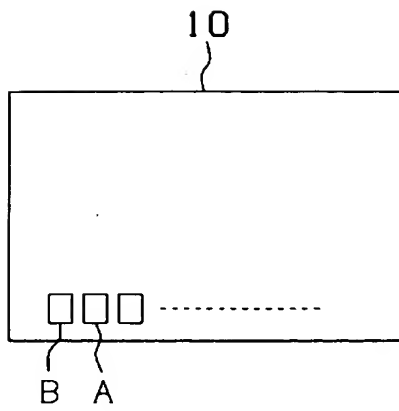
【図 6】



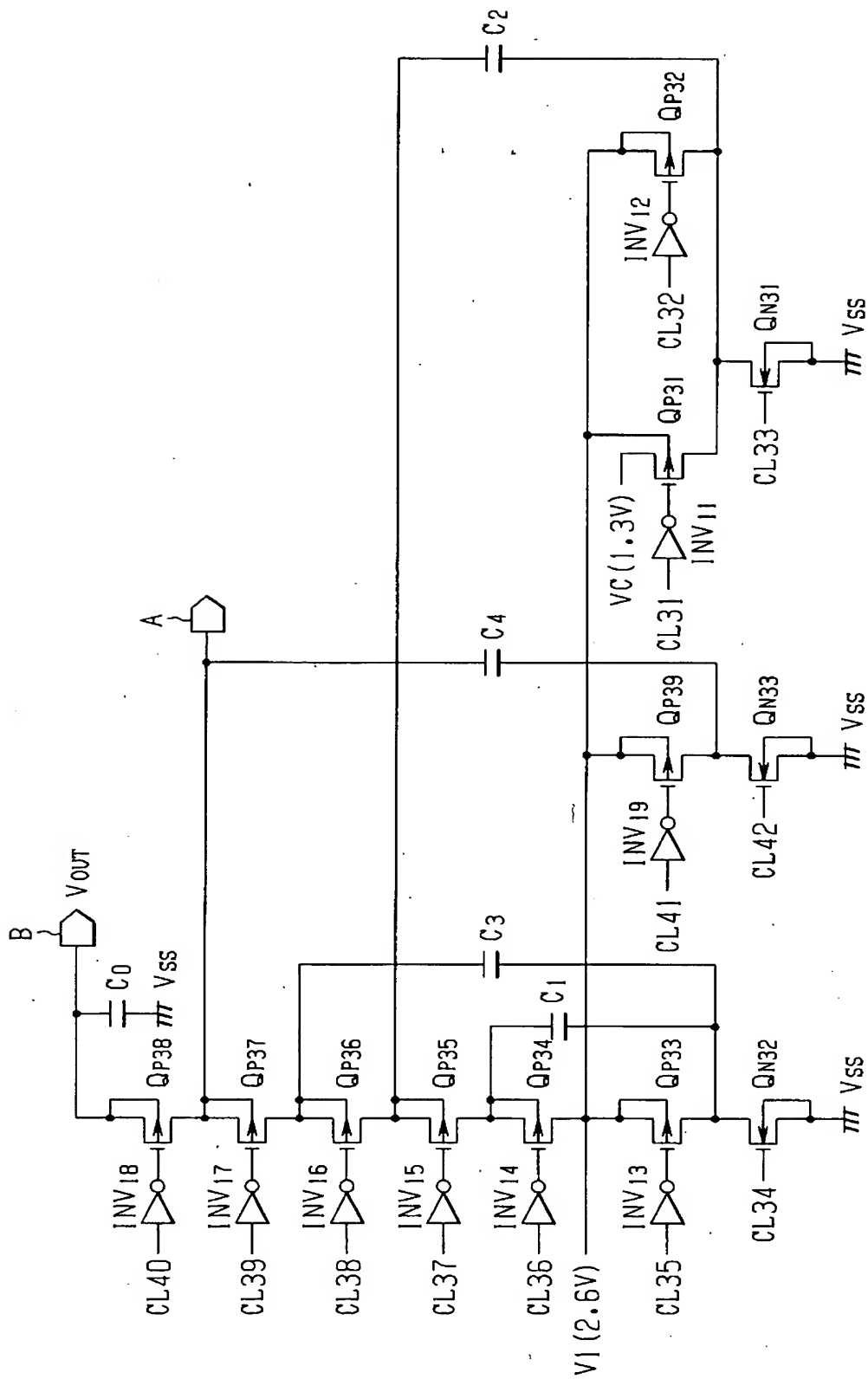
【図 7】



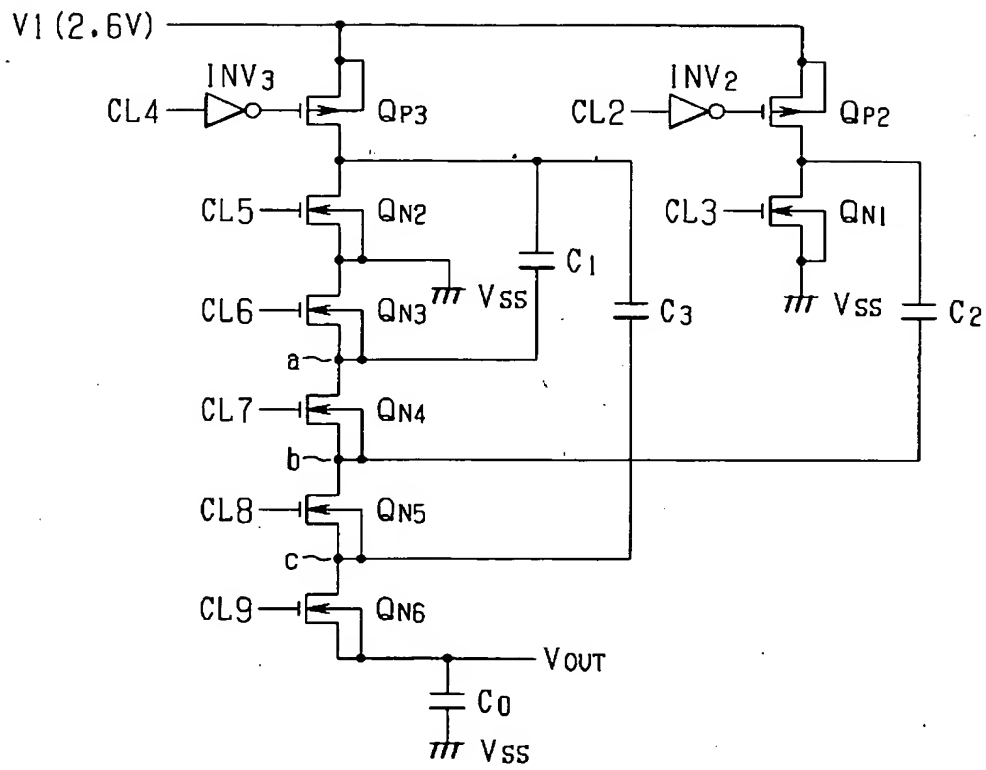
【図 8】



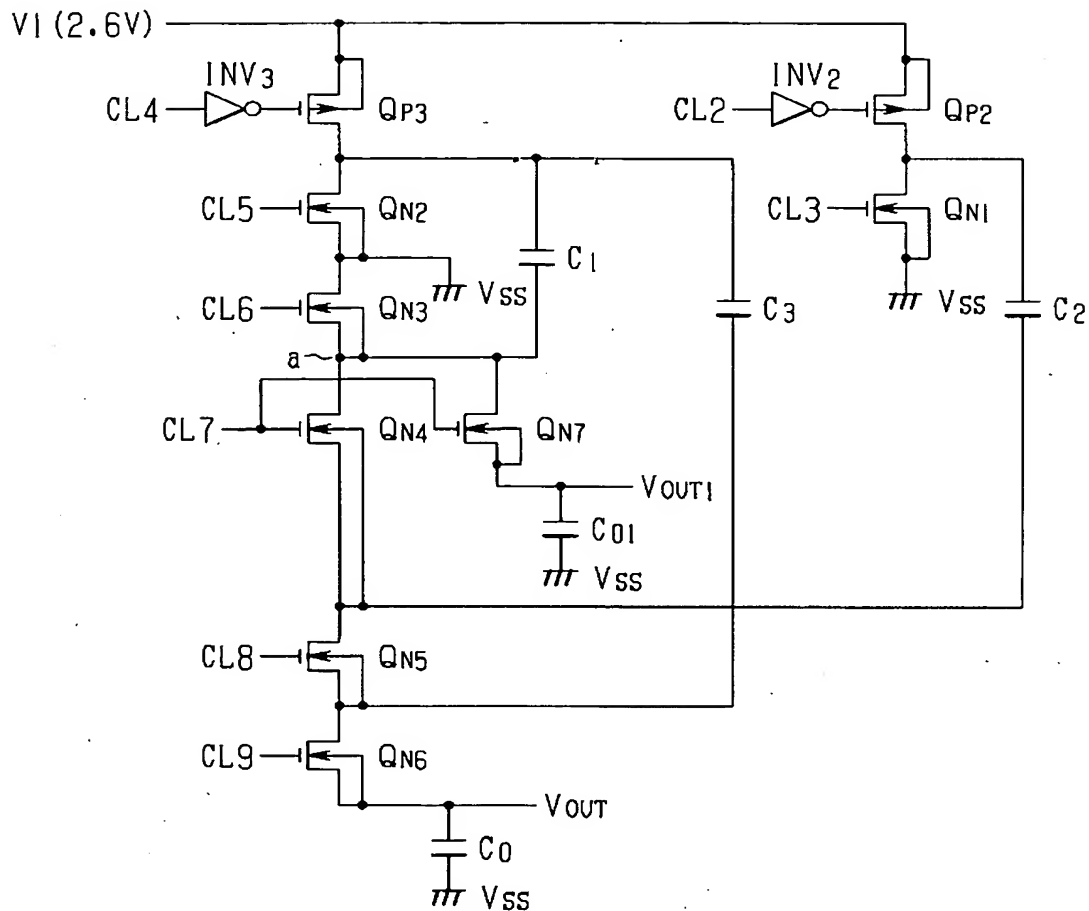
【図 9】



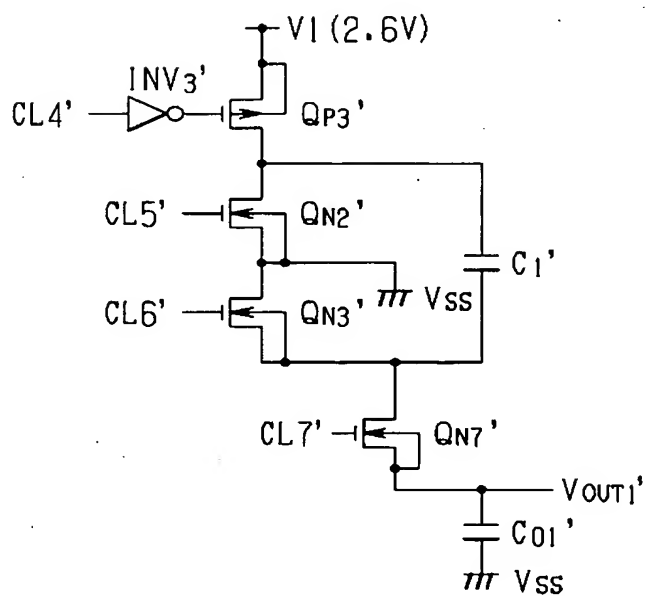
【図 10】



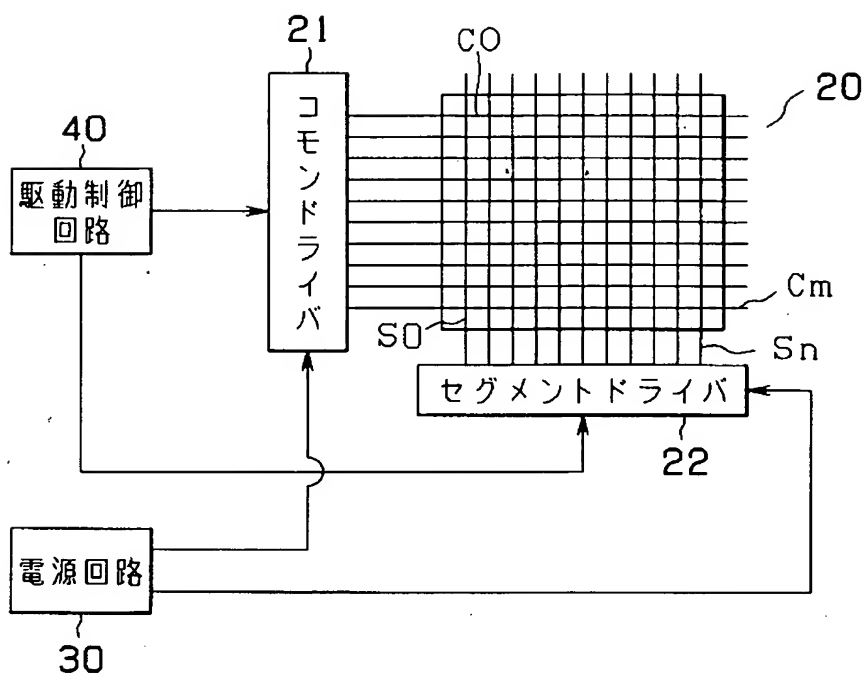
【図 11】



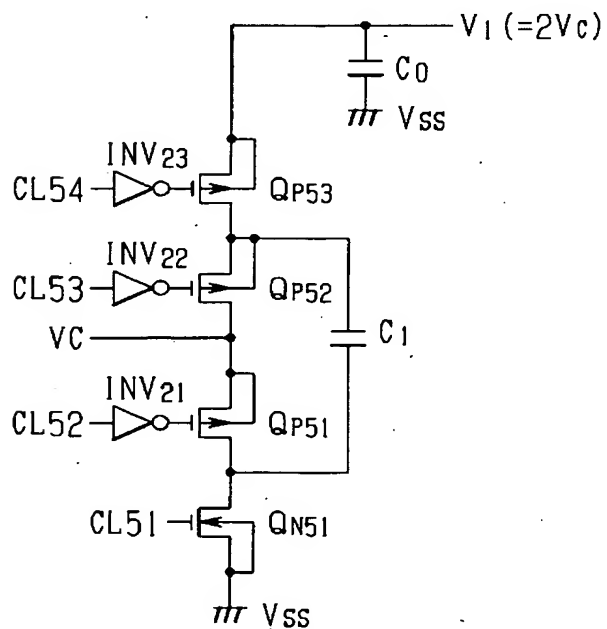
【図 12】



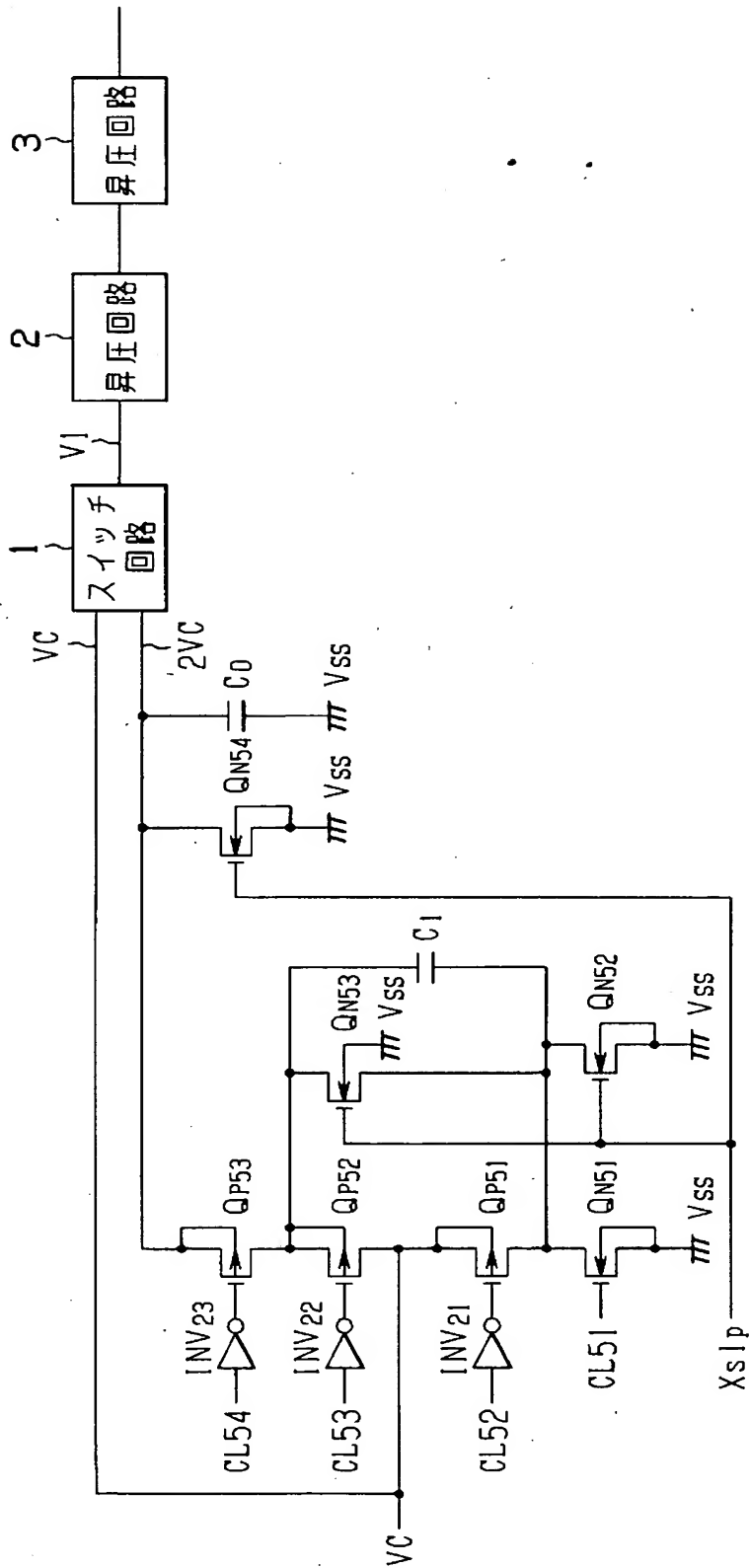
【図 13】



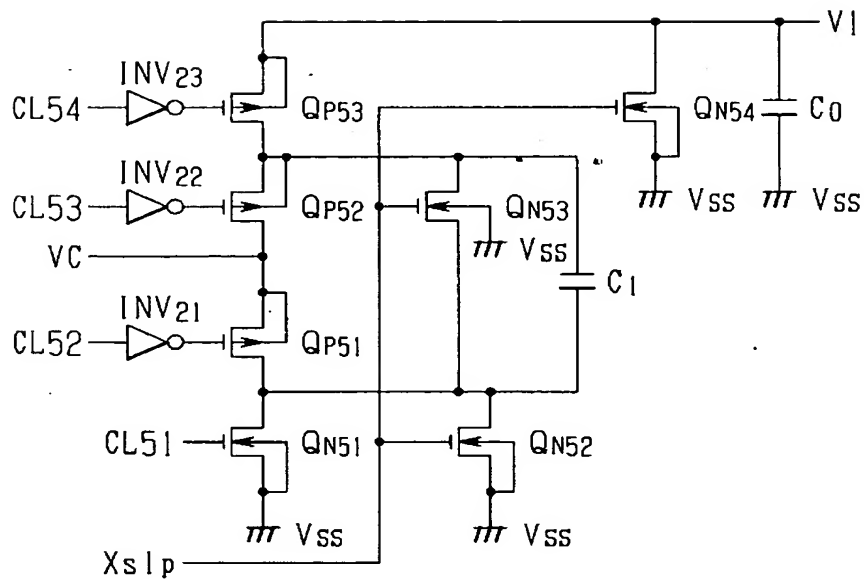
【図 14】



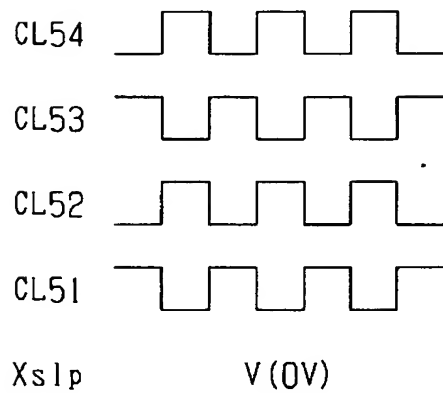
【図 15】



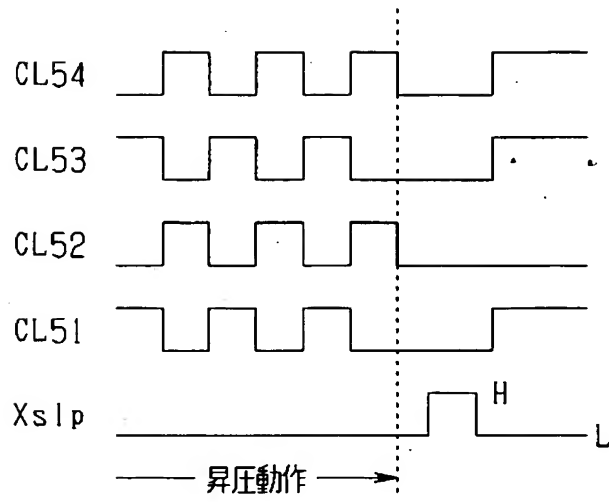
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 昇圧回路への入力電圧の切換えをスイッチ回路を用いずに行い、昇圧回路の出力インピーダンスを極力小さくした電源回路を実現する。

【解決手段】 高電位側の電源電圧 V_1 と低電位側の電位 V_{SS} との間に設けられ、複数のスイッチングトランジスタ $QP1 \sim QP3$, $QN1 \sim QN5$ と複数のコンデンサ $C1$, $C2$ とで構成されるチャージポンプ方式の昇圧回路であって、該昇圧回路は、入力電圧として高電位側の第1, 第2の電源電圧 V_1 , V_C を切り換えて入力し、出力電圧 V_{OUT} として前記第1, 第2の電源電圧に基づいて昇圧された第1, 第2の出力電圧を生成するものであり、制御手段は、前記複数のスイッチングトランジスタ $QP1 \sim QP3$, $QN1 \sim QN5$ のうちの前記第1又は第2の電源電圧を入力する所定のトランジスタ $QP2$ 又は $QP1$ をオフ状態に固定するよう制御することで、第1又は第2の電源電圧 V_1 又は V_C の入力切換えを行って複数の所望の出力電圧を出力させる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2002-340884
受付番号	50201775663
書類名	特許願
担当官	第三担当上席 0092
作成日	平成14年11月26日

<認定情報・付加情報>

【提出日】	平成14年11月25日
-------	-------------

次頁無

特願 2 0 0 2 - 3 4 0 8 8 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社